

(19)



JAPANESE PATENT OFFICE

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001077333 A

(43) Date of publication of application: 23.03.01

(51) Int. Cl. H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792

(21) Application number: 11246206

(22) Date of filing: 31.08.99

(71) Applicant: TOSHIBA CORP

(72) Inventor: SHIMIZU KAZUHIRO
TAKEUCHI YUJI

(54) NONVOLATILE SEMICONDUCTOR MEMORY
AND ITS MANUFACTURING METHOD

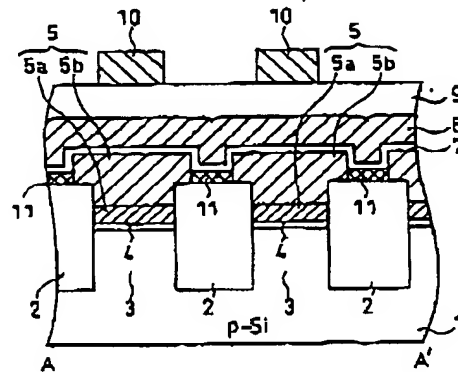
element isolation film 2.

COPYRIGHT: (C)2001,JPO

(57) Abstract

PROBLEM TO BE SOLVED: To obtain a nonvolatile semiconductor memory which enables microminiaturization of a memory cell without causing gate-to-gate short circuit failure and deteriorating isolation performance by restraining dispersion of capacitive coupling of a lamination gate.

SOLUTION: An element formation region 3 defined by an element isolation film 2 is formed in a silicon substrate 1. A charge storage layer 5 is formed in the substrate 1 interposing a tunnel insulation film 4, a control gate 8 is formed interposing a gate insulation film 7 thereon, and a memory cell is constituted in this way. The charge storage layer 5 of a memory cell is subjected to pattern formation to overlap partially ranging from an element formation region 3 to the element isolation film 2. A protection insulation film 11 which protects a surface of the element isolation film 2 is arranged between end parts of the charge storage layer 5 of opposite adjacent memory cells on the



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-77333
(P2001-77333A)

(43) 公開日 平成13年 3月23日 (2001.3.23)

(51) Int.Cl.	識別記号	F I	テマコード (参考)	
H 0 1 L 27/115		H 0 1 L 27/10	4 3 4	5 F 0 0 1
21/8247		29/78	3 7 1	5 F 0 8 3
29/788				
29/792				

審査請求 未請求 請求項の数11 O L (全 16 頁)

(21) 出願番号 特願平11-246206

(22) 出願日 平成11年 8月31日 (1999.8.31)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 清水 和裕

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 竹内 祐司

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74) 代理人 100092820

弁理士 伊丹 勝

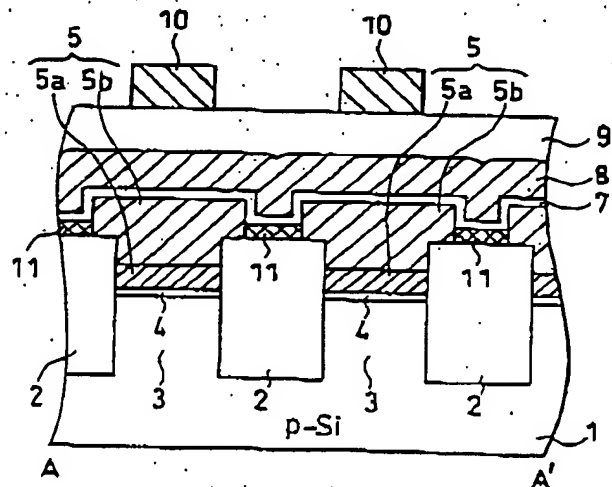
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【要約】 (修正有)

【課題】 積層ゲートの容量カップリングのばらつきを小さく抑え、且つゲート間短絡不良や素子分離性能の劣化をもたらすことなく、メモリセルの微細化を可能とした不揮発性半導体記憶装置を提供する。

【解決手段】 シリコン基板1に、素子分離絶縁膜2により区画された素子形成領域3が形成される。この基板に、トンネル絶縁膜4を介して電荷蓄積層5が形成され、その上のゲート絶縁膜7を介して制御ゲート8が形成されて、メモリセルが構成される。メモリセルの電荷蓄積層5は、素子形成領域3上から素子分離絶縁膜2上に一部重なるようにパターン形成され且つ、素子分離絶縁膜2上で対向する隣接するメモリセルの電荷蓄積層5の端部間に素子分離絶縁膜2の表面を保護する保護絶縁膜11が配置される。



(2) 開2001-77333 (P2001-77333A)

1

【特許請求の範囲】

【請求項1】 半導体基板と、

この半導体基板に形成された、素子形成領域を区画するための素子分離絶縁膜と、

前記半導体基板に、第1のゲート絶縁膜を介して形成された第1のゲート及びこの第1のゲート上に第2のゲート絶縁膜を介して形成された第2のゲートを有するメモリセルがアレイ状に配列形成されたメモリセルアレイとを有し、

前記メモリセルの第1のゲートは、前記素子形成領域上から前記素子分離絶縁膜上に一部重なるようにパターン形成され且つ、その表面が略平坦であることを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記メモリセルの素子形成領域上の第1のゲートの膜厚は、周辺回路トランジスタの素子形成領域上のゲートの膜厚より厚いことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 半導体基板と、

この半導体基板に形成された、素子形成領域を区画するための素子分離絶縁膜と、

前記半導体基板に、第1のゲート絶縁膜を介して形成された第1のゲート及びこの第1のゲート上に第2のゲート絶縁膜を介して形成された第2のゲートを有するメモリセルがアレイ状に配列形成されたメモリセルアレイとを有し、

前記メモリセルの第1のゲートは、前記素子形成領域上から前記素子分離絶縁膜上に一部重なるようにパターン形成され且つ、前記第1のゲートに隣接して、前記素子形成領域に挟まれた前記素子分離絶縁膜上に保護絶縁膜が配置されていることを特徴とする不揮発性半導体記憶装置。

【請求項4】 前記第1のゲートの表面は略平坦であることを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項5】 前記第2のゲートは、前記素子分離絶縁膜を横切る方向に配置される複数のメモリセルにまたがって連続的に前記第1のゲート及び前記保護絶縁膜の上部に第2のゲート絶縁膜を介して配設されていることを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項6】 前記保護絶縁膜の膜厚は、前記素子分離絶縁膜上の前記第1のゲートの膜厚より薄いことを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項7】 前記保護絶縁膜は、前記素子分離絶縁膜上に、前記第2のゲートの長手方向と直交する方向に連続的に配設されている請求項5記載の不揮発性半導体記憶装置。

【請求項8】 周辺回路トランジスタの周囲の素子分離絶縁膜上に前記メモリセルアレイの領域の前記保護絶縁膜と同時に形成される保護絶縁膜がダミーパターンとして配置されていることを特徴とする請求項3記載の不揮

2

発性半導体記憶装置。

【請求項9】 半導体基板と、

この半導体基板に形成された、所定間隔で一方向に連続する複数の素子形成領域を区画するための素子分離絶縁膜と、

前記半導体基板に複数のメモリセルがアレイ状に配列形成され、各メモリセルは前記素子形成領域に第1のゲート絶縁膜を介して形成された電荷蓄積層及びこの電荷蓄積層上に第2のゲート絶縁膜を介して前記素子分離絶縁膜を横切る方向に配置される複数のメモリセルにまたがって連続的に配設された制御ゲートを有するメモリセルアレイとを有し、

前記メモリセルの電荷蓄積層は、前記素子形成領域上から前記素子分離絶縁膜上に一部重なるようにパターン形成され且つ、前記電荷蓄積層に隣接して、前記素子形成領域に挟まれた前記素子分離絶縁膜上に前記第2のゲート絶縁膜と制御ゲートにより覆われた保護絶縁膜が配置されていることを特徴とする不揮発性半導体記憶装置。

【請求項10】 半導体基板に第1のゲート絶縁膜を介して第1のゲート材料膜を堆積する工程と、

前記第1のゲート材料膜上に素子分離のためのマスク材をパターン形成する工程と、

前記マスク材を用いて前記第1のゲート材料膜及び半導体基板をエッチングして、第1の方向に連続する素子形成領域を第1の方向と直交する第2の方向に所定間隔で区画するように素子分離溝を形成する工程と、

前記素子分離溝に前記マスク材と略同じ面位置になるように素子分離絶縁膜を埋め込む工程と、

前記素子分離絶縁膜上に第1の方向に連続するように素子分離絶縁膜を保護するための保護絶縁膜とゲート埋め込み用絶縁膜の積層膜をパターン形成する工程と、

前記積層膜をマスクとして前記マスク材をエッチング除去する工程と、

第2のゲート材料膜を堆積してその表面を研磨することにより、前記積層膜により素子分離絶縁膜上で分離された、前記第1のゲート材料膜と第2のゲート材料膜の積層構造からなる電荷蓄積層を形成する工程と、

前記素子分離絶縁膜上の前記ゲート分離用絶縁膜を除去した後、前記電荷蓄積層及び前記保護絶縁膜上に第2のゲート絶縁膜を介して第3のゲート材料膜を堆積する工程と、

前記第3のゲート材料膜、第2のゲート絶縁膜及び電荷蓄積層を順次エッチングして、第2の方向に連続する制御ゲートとこれに自己整合されて第1の方向に分離された電荷蓄積層をパターン形成する工程と、を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項11】 半導体基板をマスク材を用いてエッチングして、第1の方向に連続する素子形成領域を第1の方向と直交する第2の方向に所定間隔で区画するように素子分離溝を形成する工程と、

(3) 開2001-77333 (P2001-77333A)

3

前記素子分離溝に前記マスク材と略同じ面位置になるように素子分離絶縁膜を埋め込む工程と、

前記素子分離絶縁膜上に第1の方向に連続するように素子分離絶縁膜を保護するための保護絶縁膜とゲート埋め込み用絶縁膜の積層膜をパターン形成する工程と、

前記積層膜をマスクとして前記マスク材をエッチング除去する工程と、

前記半導体基板に第1のゲート絶縁膜を介して第1のゲート材料膜を堆積してその表面を研磨することにより、前記積層膜により素子分離絶縁膜上で分離された電荷蓄積層を形成する工程と、

前記素子分離絶縁膜上の前記ゲート埋め込み用絶縁膜を除去した後、前記電荷蓄積層及び前記保護絶縁膜上に第2のゲート絶縁膜を介して第2のゲート材料膜を堆積する工程と、

前記第2のゲート材料膜、第2のゲート絶縁膜及び電荷蓄積層を順次エッチングして、第2の方向に連続する制御ゲートとこれに自己整合されて第1の方向に分離された電荷蓄積層をパターン形成する工程と、を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、積層ゲート構造のメモリセルを持つ不揮発性半導体記憶装置とその製造方法に関する。

【0002】

【従来の技術】電気的にデータ書き換えが可能な不揮発性半導体メモリ（EEPROM）として、電荷蓄積層と制御ゲートの積層構造を持つMOSTランジスタ構造のメモリセルを用いたものが知られている。図15はそのようなメモリセルを用いたNOR型EEPROMの平面図であり、図16（a）、（b）はそれぞれ図15のA-A'及びB-B'断面図である。

【0003】シリコン基板101のメモリセルアレイ領域には、素子分離絶縁膜102が埋め込まれて、y方向に連続する素子形成領域103がx方向に所定間隔で区画されている。この様に素子分離された基板にトンネル絶縁膜104を介して電荷蓄積層105が形成され、更にこの電荷蓄積層105上にゲート間絶縁膜107を介して制御ゲート108が形成されて、メモリセルが構成されている。電荷蓄積層105は素子分離絶縁膜102上で分断されて各メモリセル毎に独立する。制御ゲート108はx方向に連続的に形成されて、複数のメモリセルに共通のワード線となる。制御ゲート108と電荷蓄積層105はy方向には側端が揃うように自己整合的にパターン形成されている。そしてこの制御ゲート108に自己整合的にn型拡散層6が形成されている。メモリセルの上は層間絶縁膜109で覆われ、この上にy方向に走るビット線110が配設される。

【0004】このEEPROMのデータ書き換えは、

4

基板と電荷蓄積層の間に高電界を印可して、電荷蓄積層と基板の間でトンネル電流を流すことにより、電荷蓄積層の蓄積電荷量を変調することにより行われる。メモリセルのしきい値は、電荷蓄積層内の負電荷が多ければ高くなり、正電荷が多ければ低くなる。従って、電荷蓄積層に電子を注入すれば、しきい値の高い状態（これが例えば書き込み状態）となり、電荷蓄積層から電子を引き抜けばしきい値の低い状態（例えばデータ消去状態）となる。

10 【0005】この様なメモリセルのデータ書き換えにとって最も重要なパラメータは、電荷蓄積層105と基板101の間の容量C1と、制御ゲート108と電荷蓄積層105の間の容量C2との比C1/C2である。基板を0電位として、制御ゲート108に電圧Vcgを与えたとき、電荷蓄積層105の電圧Vfgは、 $Vfg = C2 \cdot Vcg / (C1 + C2)$ となる。従って、カップリング比 $K = C2 / (C1 + C2) = 1 / (1 + (C1 / C2))$ がトンネル絶縁膜104に印加される電圧を決定するからである。

20 【0006】トンネル電流を発生させるためには、トンネル絶縁膜に十数MV/cmの高電界を与えることが必要である。そのためには、電荷蓄積層と基板の間に、 $Vfg = 1.0V$ 程度の高電圧がかかる必要がある。電荷蓄積層と制御ゲートは容量結合しているため、制御ゲートに与える電圧Vcg= $K \cdot Vfg$ としては、約20Vの高電圧を必要とする。制御ゲートに同じ電圧を印加しても、カップリング比Kが異なれば、トンネル絶縁膜に印加される電圧は異なり、メモリセルのしきい値が異なることになる。これは、メモリセルの書き込み状態でのしきい値分布が広がるため問題である。従って、カップリング比Kを均一なものとすることが重要になる。

30 【0007】従来のメモリセル構造の各部の寸法を図17に示し、これを用いて容量比C2/C1を求めると、次式のようになる。

【0008】

$$\text{【数1】 } C2/C1 = \{Wa + 2(d + Tsti + Wing) \} Tox / Wa \cdot Tono$$

$$Wing = (Wsti - SL) / 2$$

40 【0009】容量C2は、電荷蓄積層105と制御ゲート108の対向面積で決まる。従って、電荷蓄積層の膜厚のばらつきや、電荷蓄積層105の素子分離領域に張り出す部分の長さ（いわゆるウイング長）Wingのばらつきが容量C2のばらつきの原因となる。また、電荷蓄積層105の膜厚は、素子形成領域と素子分離領域の高さが異なる場合には、図16に示したように不均一になる可能性が高い。この電荷蓄積層の膜厚の不均一性は電荷蓄積層の実効的な表面積のばらつきとなる。これも容量C2のばらつきの原因となる。

50 【0010】上述のウイング長Wingは、素子分離幅Wstiと電荷蓄積層の切断幅（いわゆるスリット幅）SLに

(4) 開2001-77333 (P2001-77333A)

5

より決まる。EEPROMの大容量化、低コスト化のためにセルサイズを微細にすると、素子分離幅 W_{sti} やスリット幅 S_L はメモリセル作製時の最小寸法となることが多い。先に示したメモリセルでは、電荷蓄積層105のスリット幅 S_L は素子分離幅 W_{sti} より狭いので、これが最小寸法となる。しかし、素子分離幅は素子形成領域と共にビット線ピッチを決定しているため、メモリセルアレイ面積を小さくするためには素子分離幅 W_{sti} もできる限り小さくすることが望まれる。

【0011】小さい素子分離幅の範囲でそれより小さいスリット幅を実現する方法として、側壁残しの技術を利用する方法は、本発明者等により既に提案されている(K. Shimizu et al. '97 IEDM)。これは、電荷蓄積層上にスリット加工用のマスク材をパターン形成した後、追加のマスク材を堆積して側壁残しを行い、狭いスリット幅を得るものである。図18及び図19は、その様なメモリセル製造工程を示している。

【0012】図18(a)に示すように、シリコン基板101にゲート絶縁膜104を介してゲート材料膜105aを堆積し、この上にマスク材201を形成してゲート材料膜105aを素子形成領域に残すようパターン形成する。そして図18(b)に示すように、マスク材201を用いて基板101をエッチングして素子分離溝を形成し、ここに素子分離絶縁膜102を埋め込む。ついで、図18(c)に示すように、ゲート材料膜105aを再度堆積し、この上の素子分離絶縁膜102上に、スリット加工用のマスク材202をパターン形成する。

【0013】更に、図19(a)に示すように、再度マスク材203を薄く堆積し、異方性ドライエッチングによりエッチングしてマスク材203をマスク材202の側壁のみに残す。これにより、最小加工寸法より小さいスリット加工用窓が形成される。そして、マスク材202、203を用いてゲート材料膜105bをエッチングすることにより、ゲート材料膜105a、105bの積層構造からなる電荷蓄積層105が素子分離絶縁膜102上で分離されてパターン形成される。この後、図19(b)に示すようにゲート間絶縁膜107を介して制御ゲート108を形成する。制御ゲート108は前述のように、電荷蓄積層105と共にビット線方向の分離加工がなされる。

【0014】ところが上記の方法では、図19(a)の工程でゲート材料膜105bをエッチングして電荷蓄積層を分離するスリット加工を行った後、マスク材202、203をエッチング除去する工程で、素子分離絶縁膜102の表面がエッチングされ、図19(b)に示したように、電荷蓄積層105のスリット分離部に狭い溝204が形成される。この素子分離絶縁膜102表面の溝204は、制御ゲート108が配設される図19の断面だけでなく、ビット線方向(図15のy方向に連続的

6

に形成される。この溝204はきわめて狭いものであるため、ゲート間絶縁膜107及び制御ゲート108の材料がこの溝204を埋めるように堆積されると、これをパターニングする工程で溝204に沿ってエッチング残渣が生じる。これはゲート短絡事故の原因となる。また、制御ゲート108の直下の素子分離絶縁膜102の膜厚が減少するから、素子分離絶縁膜102の膜厚を薄いものとした場合には、素子分離機能の低下をもたらす。

【0015】

【発明が解決しようとする課題】以上のように、電荷蓄積層と制御ゲートの積層構造からなるメモリセルを持つEEPROMでは、素子の微細化に伴い、電荷蓄積層の膜厚の不均一や電荷蓄積層を分離するスリット加工幅のばらつきに起因する容量カップリングのばらつきがデータ書き換え性能を低下させるという問題があった。また電荷蓄積層を分離するために素子分離絶縁膜上で素子分離幅より狭いスリット加工を行った場合、素子分離絶縁膜の膜減りが生じ、素子分離性能の劣化やゲート残渣によるゲート間短絡事故が生じるという問題もある。

【0016】この発明は、上記事情を考慮してなされたもので、メモリセルを微細化したときの積層ゲートの容量カップリングのばらつきを小さく抑えて、優れたデータ書き換え性能を発揮するようにした不揮発性半導体記憶装置とその製造方法を提供することを目的とする。この発明はまた、電荷蓄積層分離のために素子分離絶縁膜の膜減りが生じることがなく、従ってゲート間短絡不良や素子分離性能の劣化をもたらすことなく、メモリセルの微細化を可能とした不揮発性半導体記憶装置とその製造方法を提供することを目的とする。

【0017】

【課題を解決するための手段】この発明に係る不揮発性半導体記憶装置は、半導体基板と、この半導体基板に形成された、素子形成領域を区画するための素子分離絶縁膜と、前記半導体基板に、第1のゲート絶縁膜を介して形成された第1のゲート及びこの第1のゲート上に第2のゲート絶縁膜を介して形成された第2のゲートを有するメモリセルがアレイ状に配列形成されたメモリセルアレイとを有し、前記メモリセルの第1のゲートは、前記素子形成領域上から前記素子分離絶縁膜上に一部重なるようにパターン形成され且つ、その表面が略平坦であることを特徴とする。

【0018】この発明によると、素子形成領域から素子分離絶縁膜に一部重なるように形成される、メモリセルの電荷蓄積層(即ち浮遊ゲート)となる第1のゲートの表面を略平坦にすることにより、制御ゲートとなる第2のゲートと第1のゲートの間の容量カップリングのばらつきが小さいものとなる。この様なメモリセルの第1のゲート表面の平坦性は、メモリセルアレイ領域の素子形成領域が幅の狭い凹部となり、素子分離絶縁膜が凸となる

50

(5) 開2001-77333 (P2001-77333A)

7

ように素子分離絶縁膜を微細ビッチで形成することにより、得られる。即ち、素子形成領域の凹部幅が狭ければ、この上にゲート材料膜を所定厚み堆積したときに凹部を埋めて表面が平坦になるようにすることができる。このとき、周辺回路領域でのトランジスタ寸法がメモリセルより大きいとすれば、メモリセルの第1のゲートは、周辺回路トランジスタにおいてメモリセルの第1のゲートと同時に形成させるゲートより膜厚が大きいものとなる。

【0019】この発明に係る不揮発性半導体記憶装置はまた、半導体基板と、この半導体基板に形成された、素子形成領域を区画するための素子分離絶縁膜と、前記半導体基板に、第1のゲート絶縁膜を介して形成された第1のゲート及びこの第1のゲート上に第2のゲート絶縁膜を介して形成された第2のゲートを有するメモリセルがアレイ状に配列形成されたメモリセルアレイとを有し、前記メモリセルの第1のゲートは、前記素子形成領域上から前記素子分離絶縁膜上に一部重なるようにパターン形成され且つ、前記第1のゲートに隣接して、前記素子形成領域に挟まれた前記素子分離絶縁膜上に保護絶縁膜が配置されていることを特徴とする。

【0020】この様に、素子分離絶縁膜上の第1のゲートの端部間に保護絶縁膜を配置することにより、素子分離絶縁膜の膜減りが防止され、素子分離性能の低下が防止される。この場合、第1のゲートの表面は略平坦とすることにより、容量カップリングの均一性が向上する。また、保護絶縁膜は、素子分離絶縁膜上に、第2のゲートの長手方向と直交する方向に連続的に配設されるものとすれば、隣接するゲート間にまたがって素子分離絶縁膜上に溝が形成されることがなく、ゲート間短絡事故の発生を防止することが可能になる。

【0021】この発明に係る不揮発性半導体記憶装置は更に、半導体基板と、この半導体基板に形成された、所定間隔で一方向に連続する複数の素子形成領域を区画するための素子分離絶縁膜と、前記半導体基板に複数のメモリセルがアレイ状に配列形成され、各メモリセルは前記素子形成領域に第1のゲート絶縁膜を介して形成された電荷蓄積層及びこの電荷蓄積層上に第2のゲート絶縁膜を介して前記素子分離絶縁膜を横切る方向に配置される複数のメモリセルにまたがって連続的に配設された制御ゲートを有するメモリセルアレイとを有し、前記メモリセルの電荷蓄積層は、前記素子形成領域上から前記素子分離絶縁膜上に一部重なるようにパターン形成され且つ、前記電荷蓄積層に隣接して、前記素子形成領域に挟まれた前記素子分離絶縁膜上に前記第2のゲート絶縁膜と制御ゲートにより覆われた保護絶縁膜が配置されていることを特徴とする。

【0022】この発明に係る不揮発性半導体記憶装置の製造方法は、半導体基板に第1のゲート絶縁膜を介して第1のゲート材料膜を堆積する工程と、前記第1のゲー

8

ト材料膜上に素子分離のためのマスク材をパターン形成する工程と、前記マスク材を用いて前記第1のゲート材料膜及び半導体基板をエッチングして、第1の方向に連続する複数の素子形成領域を第1の方向と直交する第2の方向に所定間隔で区画するように素子分離溝を形成する工程と、前記素子分離溝に前記マスク材と略同じ面位置になるように素子分離絶縁膜を埋め込む工程と、前記素子分離絶縁膜上に第1の方向に連続するように素子分離絶縁膜を保護するための保護絶縁膜とゲート埋め込み用絶縁膜の積層膜をパターン形成する工程と、前記積層膜をマスクとして前記マスク材をエッチング除去する工程と、第2のゲート材料膜を堆積してその表面を研磨することにより、前記積層膜により素子分離絶縁膜上で分離された、前記第1のゲート材料膜と第2のゲート材料膜の積層構造からなる電荷蓄積層を形成する工程と、前記素子分離絶縁膜上の前記ゲート分離用絶縁膜を除去した後、前記電荷蓄積層及び前記保護絶縁膜上に第2のゲート絶縁膜を介して第3のゲート材料膜を堆積する工程と、前記第3のゲート材料膜、第2のゲート絶縁膜及び電荷蓄積層を順次エッチングして、第2の方向に連続する制御ゲートとこれに自己整合されて第1の方向に分離された電荷蓄積層をパターン形成する工程と、を有することを特徴とする。

【0023】この発明に係る不揮発性半導体記憶装置の製造方法はまた、半導体基板をマスク材を用いてエッチングして、第1の方向に連続する素子形成領域を第1の方向と直交する第2の方向に所定間隔で区画するように素子分離溝を形成する工程と、前記素子分離溝に前記マスク材と略同じ面位置になるように素子分離絶縁膜を埋め込む工程と、前記素子分離絶縁膜上に第1の方向に連続するように素子分離絶縁膜を保護するための保護絶縁膜とゲート埋め込み用絶縁膜の積層膜をパターン形成する工程と、前記積層膜をマスクとして前記マスク材をエッチング除去する工程と、前記半導体基板に第1のゲート絶縁膜を介して第1のゲート材料膜を堆積してその表面を研磨することにより、前記積層膜により素子分離絶縁膜上で分離された電荷蓄積層を形成する工程と、前記素子分離絶縁膜上の前記ゲート埋め込み用絶縁膜を除去した後、前記電荷蓄積層及び前記保護絶縁膜上に第2のゲート絶縁膜を介して第2のゲート材料膜を堆積する工程と、前記第2のゲート材料膜、第2のゲート絶縁膜及び電荷蓄積層を順次エッチングして、第2の方向に連続する制御ゲートとこれに自己整合されて第1の方向に分離された電荷蓄積層をパターン形成する工程と、を有することを特徴とする。

【0024】この発明における記憶装置の各部に用いられる構造、材料等は次の通りである。

①素子分離絶縁膜は、半導体基板に溝を加工してこの溝に埋め込む方法により形成される。素子分離絶縁膜は内部が全体にわたって絶縁膜であることは必ずしも必要で

(6) 開2001-77333 (P2001-77333A)

10

9

はない。例えば半導体基板に加工された溝に絶縁膜を介して多結晶シリコン等の半導体を埋め込みその表面を絶縁膜で覆った状態でもよい。また素子分離絶縁膜は、選択酸化法(LOCOS)法により形成することもできる。

④素子形成領域は、素子分離絶縁膜により区画された活性層領域である。

⑤第1のゲート絶縁膜はトンネル絶縁膜である。トンネル絶縁膜は、好ましくは熱酸化により形成されるシリコン酸化膜、或いは熱窒化や堆積法により形成されるシリコン窒化膜、又はこれらの積層膜(例えば、ONO膜)である。またトンネル絶縁膜は、シリコン窒化酸化膜であってもよい。

【0025】⑥第1のゲートは電荷蓄積層、言い換えれば浮遊ゲートである。第1のゲートは、不純物ドーピングにより電気伝導度を高いものとした多結晶シリコン或いは非晶質シリコンである。

⑦第2のゲート絶縁膜は、シリコン酸化膜、シリコン窒化膜或いは、シリコン酸化窒化膜、シリコン酸化膜とシリコン窒化膜の積層膜(例えばONO膜)である。

⑧第2のゲートは制御ゲートである。第2のゲートは、不純物ドーピングにより電気伝導度を高いものとした多結晶シリコン或いは非晶質シリコンの他、タングステン(W)等の高融点金属のシリサイド、シリサイドとシリコンの積層膜、シリコンの上にチタン(Ti)を堆積してこれらを化学的に反応させたシリサイド、アルミニウム等の金属が用いられる。

⑨素子分離絶縁膜上に配置される保護用絶縁膜は、素子分離絶縁膜とは異種の絶縁膜、言い換えれば素子分離絶縁膜とエッチング特性の異なる絶縁膜であることが必要である。例えば、素子分離絶縁膜がシリコン酸化膜の場合に、保護絶縁膜としてはシリコン窒化膜等が用いられる。

【0026】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

【実施の形態1】図1は、実施の形態1によるEEPROMの要部断面構造を示している。図1(a)はメモリセル部のワード線(WL)方向(メモリセルのチャネル幅方向)の断面図、図1(b)は同じくビット線(BL)方向(メモリセルのチャネル長方向)の断面図である。また図1(c)は周辺回路トランジスタの断面構造を示している。

【0027】p型シリコン基板1には、例えばSTI技術により素子分離絶縁膜2が埋め込まれて素子形成領域3が区画されている。メモリセルアレイ領域では、素子形成領域に第1のゲート絶縁膜であるトンネル絶縁膜4を介して第1のゲート材料膜5aと第2のゲート材料膜5bの積層膜により作られた、電荷蓄積層としての第1のゲート(浮遊ゲート)5が形成されている。浮遊ゲート5の上には第2のゲート絶縁膜7を介して第3のゲート材料膜による第2のゲート(制御ゲート)8が形成されている。制御ゲート8は、図1(a)の面内で連続的にパターン形成されて、これがワード線となる。制御ゲート8に自己整合的にソース、ドレインとなるn⁺型拡散層6が形成されている。

【0028】メモリセルの浮遊ゲート5を構成する第2のゲート材料膜5bは、素子分離絶縁膜2に挟まれて凹部をなす素子形成領域3から一部素子分離絶縁膜2に重なるようにパターン形成されているが、図1(a)に示すように、浮遊ゲート5の上面は全体にわたって略平坦である。このような浮遊ゲート5の表面の平坦化は、積極的な平坦化処理を行わなくても、素子分離絶縁膜2により挟まれた素子形成領域3の幅が狭く、この幅と同じ程度か或いはそれ以上の浮遊ゲート5の堆積膜厚を選択することにより可能である。

【0029】一方、周辺回路トランジスタは、メモリセルに比べると一般に寸法が大きい。従って図1(c)に示すように、メモリセルアレイ部と浮遊ゲート5と同じ材料を用いて形成される第1のゲート5'の上面には、素子分離絶縁膜2と素子形成領域3の間の段差が反映したものとなる。このとき、メモリセルの素子形成領域3上の浮遊ゲート5の膜厚は、a+bとなる。即ち、素子分離絶縁膜2上での膜厚aに対して素子分離絶縁膜2と素子形成領域2の間の段差分bを加えたものとなる。一方、周辺回路トランジスタの素子形成領域3上の第1のゲート5'の膜厚はdとなる。従ってメモリセルの素子形成領域上の浮遊ゲート5の膜厚a+bは、周辺回路トランジスタの素子形成領域上のゲート5'の膜厚dよりも大きい。なお周辺回路トランジスタでは、第1のゲート5'と第2のゲート8'(メモリセルの制御ゲート8と同じ材料)とは適当な位置で短絡してゲート電極として用いられる。

【0030】メモリセルの浮遊ゲート5の上面は上述のように、素子形成領域幅が狭く、これに対してゲート材料膜の堆積膜厚がある程度以上厚い場合に略平坦になる。そしてこの様に浮遊ゲート5の表面が上述のように平坦であると、浮遊ゲート5と制御ゲート8の間の容量カップリングのばらつきが少なくなり、複数のメモリセル間で特性が揃ったものとなる。従ってデータ書き換え性能の優れた、具体的にはデータ書き込み状態や消去状態でのしきい値の分布が小さいEEPROMが実現できる。

【0031】【実施の形態2】図2は、実施の形態2によるNOR型EEPROMのメモリセルアレイ領域の平面図である。図3A、図3B及び図3Cはそれぞれ、図2のA-A'、B-B'及びC-C'断面を示している。なおこれらの図で、図1と対応する部分には図1と同一符号を付している。

【0032】p型シリコン基板1は、図2のx方向(ワ

40

50

(7) 開2001-77333 (P2001-77333A)

11

ード線方向)に等間隔で形成された素子分離絶縁膜2により、x方向とは直交するy方向(ビット線方向)に細長い素子形成領域3が複数本に区画されている。この素子形成領域3にトンネル絶縁膜4を介して電荷蓄積層(浮遊ゲート)5が形成され、浮遊ゲート5上にゲート間絶縁膜7を介して制御ゲート8が形成されている。浮遊ゲート5は各メモリセル毎に独立に形成され、制御ゲート8はx方向に連続的に形成されてワード線WLとなる。

【0033】浮遊ゲート5は、先の実施の形態と同様に、第1のゲート材料膜5aと第2のゲート材料膜5bの積層構造であり、その表面は略平坦に形成されている。制御ゲート8と浮遊ゲート5は、y方向の側端部が自己整合的に形成されている。この積層ゲートをマスクとしてイオン注入を行うことにより、メモリセルのソース、ドレインとなるn⁺型拡散層6が形成されている。メモリセルが形成された面は層間絶縁膜9により覆われ、この上にビット線(BL)10がy方向に連続的に配設されている。

【0034】浮遊ゲート5は、素子形成領域3から一部素子分離絶縁膜2上に重なって形成され、図3(a)の断面に示すように、x方向について素子分離絶縁膜2上でスリット状に切断されて、個々のメモリセル毎に分離されている。そして、素子分離絶縁膜2上のx方向に隣接して対向する浮遊ゲート5の端部間には、この端部に自己整合された状態で素子分離絶縁膜2の膜減りを防止するための保護絶縁膜11が配置されている。実際には後に説明するように、保護絶縁膜11に整合される形で浮遊ゲート5の第2のゲート材料膜5bがダマシオン法により埋め込み形成されて、x方向に保護絶縁膜11により切断される。保護絶縁膜11は、図2に示すように、素子分離絶縁膜2上をy方向に連続的に配設され、浮遊ゲート5及び制御ゲート8がない領域にも配設されている。

【0035】保護絶縁膜11は、素子分離絶縁膜2とは異種絶縁膜であることが必要である。例えば、素子分離絶縁膜2がシリコン酸化膜を主体とする場合には、保護絶縁膜11にはシリコン窒化膜を主体とする絶縁膜が用いられる。また保護絶縁膜11の膜厚は、浮遊ゲート5の膜厚(より具体的には、第2のゲート材料膜5bの膜厚)より薄いものとする。

【0036】次にこの実施の形態によるEEPROMセルアレイの製造工程を、それぞれ図3A～図3Cに対応する工程断面を示した図4A～図4Cから図10A～図10Cを参照して説明する。図4A～図4Cに示すように、p型シリコン基板1に熱酸化等によりトンネル絶縁膜4を形成した後、第1のゲート材料膜5aを堆積し、この上にマスク材21をパターン形成する。第1のゲート材料膜5aは例えば多結晶シリコン膜である。マスク材21は素子形成領域を覆うようにパターン形成

12

された、例えばシリコン窒化膜である。このマスク材21を用いて第1のゲート材料膜5a、更に基板1をRIEによりエッチングして素子分離領域に溝20を形成する。

【0037】そして、図5A～図5Cに示すように、基板1に形成された溝20にシリコン酸化膜からなる素子分離絶縁膜2を、表面が平坦になるように埋め込む。この表面の平坦化には例えば、溝深さ以上にシリコン酸化膜を厚く堆積し、これに対してシリコン窒化膜からなるマスク材21をストップパとしてCMP処理を行えばよい。

【0038】次に、図6A～図6Cに示すように、素子分離されて平坦化された基板に素子分離絶縁膜2の保護のための保護絶縁膜11を堆積し、更に浮遊ゲートをダマシオン法で埋め込み形成するためのゲート埋め込み用絶縁膜22を堆積する。具体的に保護絶縁膜11はシリコン窒化膜であり、ゲート埋め込み用絶縁膜22はTEOS酸化膜である。その後図7A～図7Cに示すように、ゲート埋め込み用絶縁膜22をリソグラフィとエッチングにより素子分離絶縁膜2上で図2のy方向に連続するマスクパターンとして形成する。そして、このゲート埋め込み用絶縁膜22をマスクとして保護絶縁膜11をエッチングし、更に素子形成領域3の上方にあるマスク材21をエッチング除去する。

【0039】その後、全面に第2のゲート材料膜5bとして多結晶シリコン膜を厚く堆積し、これをゲート埋め込み用絶縁膜22をストップとするCMP処理により平坦化する。これにより、図8A～図8Cに示すように、x方向には素子分離絶縁膜2上でゲート埋め込み用絶縁膜22により分離された状態で第2のゲート材料膜5bが埋め込まれる。その後、ゲート埋め込み用絶縁膜22はフッ酸等のウェットエッチングにより除去する。このときシリコン窒化膜からなる保護絶縁膜11はエッチングされず、素子分離絶縁膜2上に残存する。即ち、第1のゲート材料膜5aと第2のゲート材料膜5bの積層膜は、素子分離絶縁膜2を挟んで隣接するメモリセルの間が素子分離絶縁膜2上で分離され且つ、その分離部の素子分離絶縁膜2は保護絶縁膜11で覆われている状態となる。

【0040】この実施の形態の場合、ゲート埋め込み用絶縁膜22は、上述のように浮遊ゲート5の形成後除去するが、保護絶縁膜11はそのまま素子分離絶縁膜2上に残している。この後、図9A～図9Cに示すように、全面に第2のゲート絶縁膜7としてONO膜を形成し、その上に第3のゲート材料膜8aを堆積する。第3のゲート材料膜8aは多結晶シリコン膜、多結晶シリコン膜と金属膜の積層膜、金属シリサイド膜、シリサイド膜等である。その後第3のゲート材料膜8aをエッチングして、図10A～図10Cに示すように、x方向に連続するワード線WLとなる制御ゲート8としてパターン形成

(8) 開2001-77333 (P2001-77333A)

13

される。同時にその下の浮遊ゲート5も制御ゲート8と自己整合的にパターン形成される。浮遊ゲート5の上面の位置は、素子分離絶縁膜2上の保護絶縁膜11の上面の位置より高い。従って制御ゲート8は、浮遊ゲート5の上面のみならず、側面にも第2のゲート絶縁膜7を介して形成される。

【0041】その後、イオン注入により図3A~図3Cに示すように、拡散層6を形成する。そして、層間絶縁膜9を堆積し、コンタクト孔を開けてビット線10を配設する。以上のようにこの実施の形態によれば、各浮遊ゲート5の素子分離絶縁膜2上での分離は、ゲート材料膜のエッチングではなく、ダマシーン法によるゲート材料膜の埋め込みにより行っている。従って従来のように素子分離絶縁膜上でゲート材料膜のスリット加工を行う場合のような溝が素子分離絶縁膜に形成されることはない。これにより、制御ゲート間の短絡不良が抑制される。また、図7A~図7Cに示す、素子分離溝加工に用いられたマスク材21を除去する工程では、保護絶縁膜11とマスク材22により素子分離絶縁膜2が保護されていて、素子分離絶縁膜2の膜減りは防止される。更に、図10A~図10Cに示す制御ゲート8と浮遊ゲート5のパターニング工程でも、ONO膜からなるゲート絶縁膜7のエッチング工程が入るが、このときも図10Cから明らかなように素子分離絶縁膜2の表面は保護絶縁膜11により保護されており、素子分離絶縁膜2の膜減りが防止される。

【0042】なお、上の実施の形態では素子分離絶縁膜2上の保護絶縁膜11は、最後まで除去せずに残したが、図5(b)の状態ですべてゲート埋め込み用絶縁膜22を除去した後、続いて保護絶縁膜11まで除去してもよい。この場合、制御ゲート8及び浮遊ゲート5のパターン加工の工程、特にゲート絶縁膜7をエッチングする工程で素子分離絶縁膜2の膜減りが生じる。しかし、ゲート材料膜堆積前に素子分離絶縁膜上に溝が加工される従来法と異なり、少なくともゲート材料膜堆積時に素子分離絶縁膜2に溝が形成されることはないから、制御ゲート間の短絡事故防止の効果は得られる。

【0043】【実施の形態3】図11(a)、(b)は実施の形態3によるEEPROMセルアレイの断面構造を、図3A、図3Bに対応させて示している。この実施の形態では、素子分離工程の条件と、ゲート形成工程が先の実施の形態と異なり、素子形成領域3の上端部コーナーには丸め処理がなされている。しかし、基本的な構造は先の実施の形態と同様であり、平面図は図2と変わらない。

【0044】具体的にこの実施の形態の製造工程を、図12及び図13を参照して、次に説明する。図12(a)に示すように、p型シリコン基板1の表面に犠牲酸化膜4aを介して、素子分離加工のためのマスク材31をパターン形成する。マスク材31はこの実施の形態

14

の場合、多結晶シリコンである。このマスク材31を用いて基板をRIEによりエッチングして、素子分離溝20を形成する。次に、熱酸化を行うことにより、素子分離溝20の露出面に酸化膜を形成すると同時に、素子形成領域3の上部にはバースビーク酸化膜を食い込ませ、丸め処理を行う。この後、図12(b)に示すように、素子分離絶縁膜2としてシリコン酸化膜を先の実施の形態と同様にして平坦に埋め込む。この表面の平坦化には例えば、溝深さ以上にシリコン酸化膜を厚く堆積し、これに対して多結晶シリコン膜からなるマスク材31をストップパとしてCMP処理を行えばよい。

【0045】次に、図12(c)に示すように、素子分離されて平坦化された基板に素子分離絶縁膜2の保護のための保護絶縁膜11を堆積し、更に浮遊ゲートを分離形成するためのゲート埋め込み用絶縁膜32を堆積する。具体的に保護絶縁膜11はシリコン窒化膜であり、ゲート埋め込み用絶縁膜32はTEOS酸化膜である。その後図13(a)に示すように、ゲート埋め込み用絶縁膜32をリソグラフィとエッチングにより素子分離絶縁膜2上で図2のy方向に連続するマスクパターンとして形成する。そして、このゲート埋め込み用絶縁膜32をマスクとして保護絶縁膜11をエッチングし、更に素子形成領域にあるマスク材31をエッチング除去する。

【0046】その後、全面に第1のゲート材料膜として多結晶シリコン膜を厚く堆積し、これをゲート埋め込み用絶縁膜32をストップとするCMP処理により平坦化する。これにより、図13(b)に示すように、x方向には素子分離絶縁膜2上でゲート埋め込み用絶縁膜32により分離された状態で浮遊ゲート5がパターン形成される。その後、ゲート埋め込み用絶縁膜32はフッ酸等のウェットエッチングにより除去する。この結果、浮遊ゲート5は、素子分離絶縁膜を挟んで隣接するメモリセルの間で素子分離絶縁膜2上で分離され、その浮遊ゲート5の分離部に保護絶縁膜11が配置された状態になる。

【0047】ゲート埋め込み用絶縁膜32は、上述のように浮遊ゲート5の形成後除去するが、保護絶縁膜11はそのまま素子分離絶縁膜2上に残している。この後、図13(c)に示すように、第2のゲート絶縁膜7としてONO膜を介して、第2のゲート材料膜を堆積して制御ゲート8を形成する。この第2のゲート材料膜は多結晶シリコン膜、多結晶シリコン膜と金属膜の積層膜、金属シリサイド膜、サリサイド膜等である。制御ゲート8は、図2或いは図3Bに示すように、x方向に連続するワード線WLとしてパターン形成され、同時にその下の浮遊ゲート5も制御ゲート8と自己整合的にパターン形成される。浮遊ゲート5の上面の位置は、素子分離絶縁膜2上の保護絶縁膜11の上面の位置より高い。従って制御ゲート8は、浮遊ゲート5の上面のみならず、側面にも第2のゲート絶縁膜7を介して形成される。

(9) 開2001-77333 (P2001-77333A)

15

【0048】この実施の形態では、素子分離後に第1のゲート絶縁膜4を介して浮遊ゲート5を形成しているが、素子分離絶縁膜2上に配置した保護絶縁膜11によりマスク材剥離の工程で素子分離絶縁膜2の膜減りが防止され、積層ゲート構造の形成工程で素子分離絶縁膜2の膜減りが防止されることは、先の実施の形態と同様である。

【0049】【実施の形態4】上記実施の形態2、3においては、メモリセルアレイ領域のみ説明したが、メモリセルアレイと同時に形成される周辺回路については好ましくは、図14に示すような構造を用いる。図14

(a) (b) はそれぞれ一つの周辺回路トランジスタQ及びその周辺の平面図とそのC-C' 断面図である。即ち、メモリセルアレイ領域の素子分離絶縁膜2上に形成した保護絶縁膜11と同じ保護絶縁膜11を周辺回路トランジスタQの周囲の素子分離絶縁膜2上にダミーパターンとして、例えば周期パターンをもって形成する。

【0050】周辺回路トランジスタQのゲートは、メモリセルアレイ領域と同様に、ゲート絶縁膜を介して重ねられ、適当な位置で短絡される第1のゲート5'と第2のゲート8'の積層構造として構成される。この場合第1のゲート5'は、実施の形態2、3で説明したように、ダマシニング法による平坦化埋め込みが行われる。CMP処理による平坦化工程では、埋め込むスペースが広い箇所では研磨が速く進行し、均一な平坦化ができなくなることが知られている。図14のようにトランジスタQの周囲に保護絶縁膜11をダミーパターンとして形成しておく、メモリセルの浮遊ゲート5と同時に形成されるゲート5'の材料膜を研磨して埋め込む工程において、保護絶縁膜11がストップパとなり、均一性のよい平坦化が可能になる。

【0051】この発明は上記実施の形態に限られない。例えば実施の形態では、NOR型EEPROMを説明したが、電荷蓄積層と制御ゲートの積層ゲート構造の不揮発性メモリセルを持つ、NAND型、AND型、DINOR型等、他のEEPROMにも同様にこの発明を適用することが可能である。

【0052】

【発明の効果】以上述べたようにこの発明によれば、浮遊ゲート表面を平坦にして、メモリセルを微細化したときの容量カップリングのばらつきを小さく抑えて、優れたデータ書き換え性能を発揮するようにしたEEPROMを得ることができる。また、メモリセル間の素子分離絶縁膜上に保護絶縁膜を配置することにより、電荷蓄積層分離のために素子分離絶縁膜の膜減りやゲート間短絡不良を防止してメモリセルの微細化を図ったEEPROMを得ることができる。

【図面の簡単な説明】

【図1】この発明の実施の形態1によるEEPROMのメモリセル及び周辺回路トランジスタの断面構造を示す

16

図である。

【図2】この発明の実施の形態2によるEEPROMのメモリセルアレイの平面図である。

【図3A】図2のA-A' 断面図である。

【図3B】図2のB-B' 断面図である。

【図3C】図2のC-C' 断面図である。

【図4A】同実施の形態2の素子分離溝加工工程を示すA-A' 断面図である。

【図4B】同素子分離溝加工工程を示すB-B' 断面図である。

【図4C】同素子分離溝加工工程を示すC-C' 断面図である。

【図5A】同実施の形態2の素子分離絶縁膜埋め込み工程を示すA-A' 断面図である。

【図5B】同素子分離絶縁膜埋め込み工程を示すB-B' 断面図である。

【図5C】同素子分離絶縁膜埋め込み工程を示すC-C' 断面図である。

【図6A】同実施の形態2の保護絶縁膜形成工程を示すA-A' 断面図である。

【図6B】同保護絶縁膜形成工程を示すB-B' 断面図である。

【図6C】同保護絶縁膜形成工程を示すC-C' 断面図である。

【図7A】同実施の形態2の保護絶縁膜パターン形成工程を示すA-A' 断面図である。

【図7B】同保護絶縁膜パターン形成工程を示すB-B' 断面図である。

【図7C】同保護絶縁膜パターン形成工程を示すC-C' 断面図である。

【図8A】同実施の形態2の第2のゲート材料膜の形成工程を示すA-A' 断面図である。

【図8B】同第2のゲート材料膜の形成工程を示すB-B' 断面図である。

【図8C】同第2のゲート材料膜の形成工程を示すC-C' 断面図である。

【図9A】同実施の形態2の第3のゲート材料膜形成工程を示すA-A' 断面図である。

【図9B】同第3のゲート材料膜形成工程を示すB-B' 断面図である。

【図9C】同第3のゲート材料膜形成工程を示すC-C' 断面図である。

【図10A】同実施の形態2のゲート電極パターンニング工程を示すA-A' 断面図である。

【図10B】同ゲート電極パターンニング工程を示すB-B' 断面図である。

【図10C】同ゲート電極パターンニング工程を示すC-C' 断面図である。

【図11】この発明の実施の形態3によるEEPROMのメモリセルアレイの図3A、Bに対応する断面図であ

(10) 第2001-77333 (P2001-77333A)

17

る。

【図12】同実施の形態3のメモリスルの製造工程を示す断面図である。

【図13】同実施の形態3のメモリスルの製造工程を示す断面図である。

【図14】この発明の実施の形態4によるEEPROMの周辺回路トランジスタ領域の構成を示す平面図と断面図である。

【図15】従来のEEPROMのメモリアルレイの平面図である。

【図16】図15のA-A'及びB-B'断面図である。

【図17】従来のメモリスル構造の各部寸法を示す図で

18

ある。

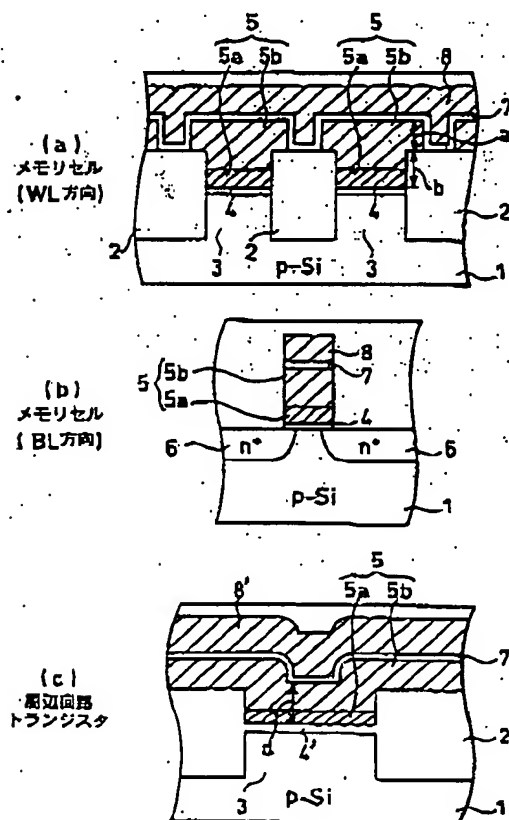
【図18】従来のメモリスルの製造工程を示す断面図である。

【図19】従来のメモリスルの製造工程を示す断面図である。

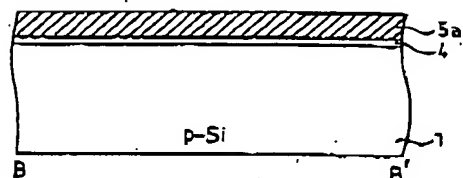
【符号の説明】

1…p型シリコン基板、2…素子分離絶縁膜、素子形成領域、4…ゲート絶縁膜、5…第1のゲート（電化蓄積層、浮遊ゲート）、6…n型拡散層、7…ゲート絶縁膜、8…第2のゲート（制御ゲート）、9…層間絶縁膜、10…ビット線、11…保護絶縁膜、21…マスク材、20…溝、22、32…ゲート埋め込み用絶縁膜、31…マスク材。

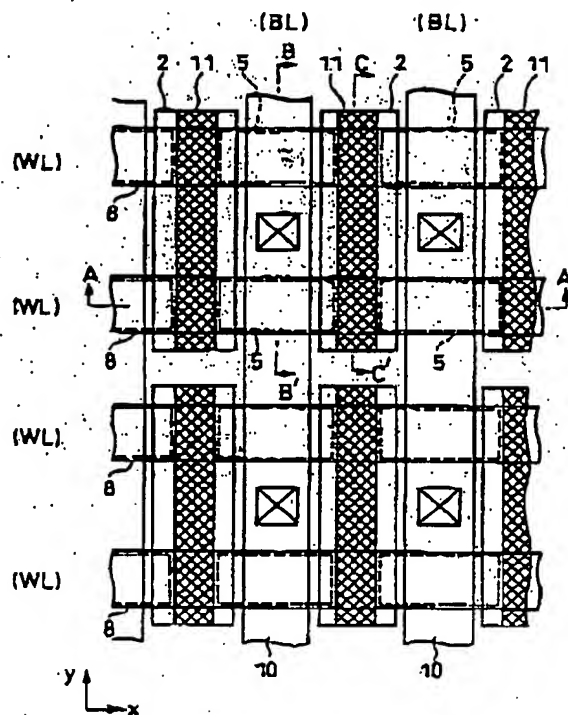
【図1】



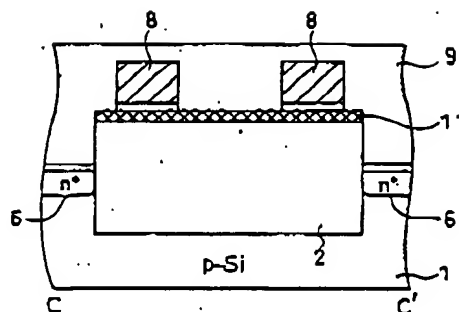
【図7B】



【図2】

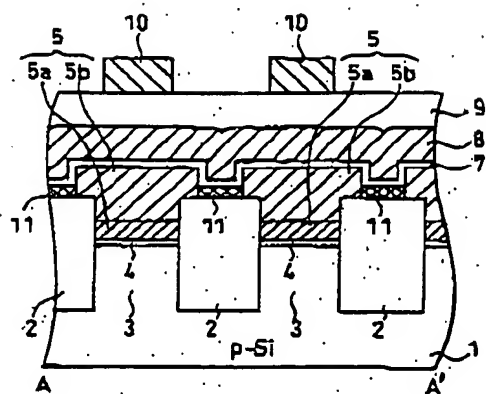


【図3C】

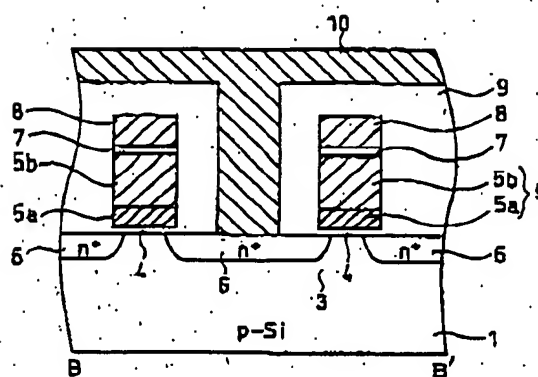


(11) 特2001-77333 (P2001-77333A)

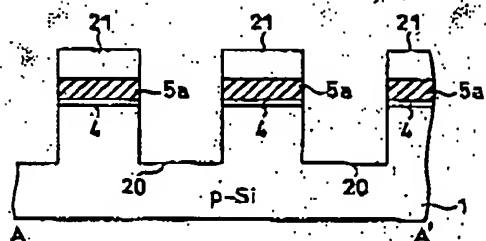
【図3A】



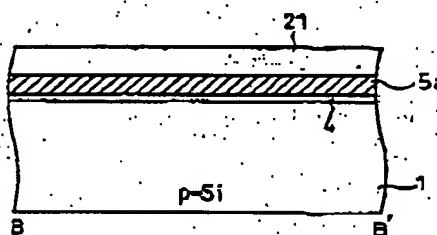
【図3B】



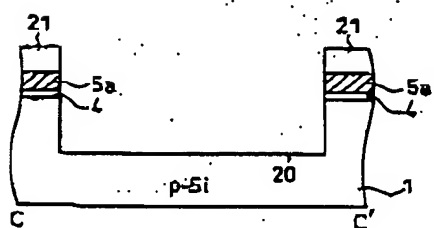
【図4A】



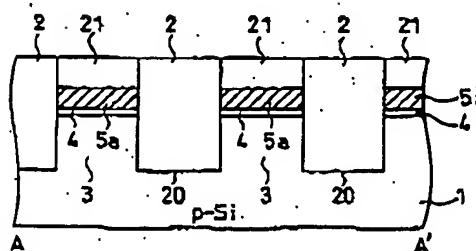
【図4B】



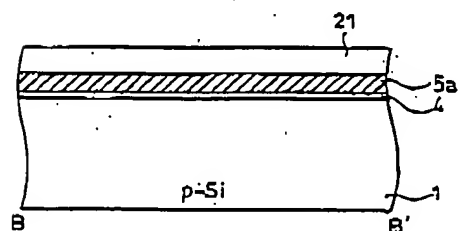
【図4C】



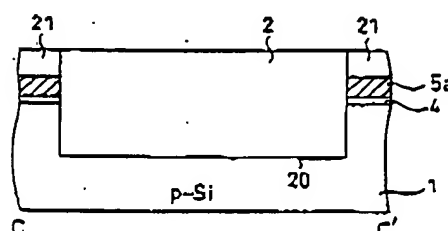
【図5A】



【図5B】

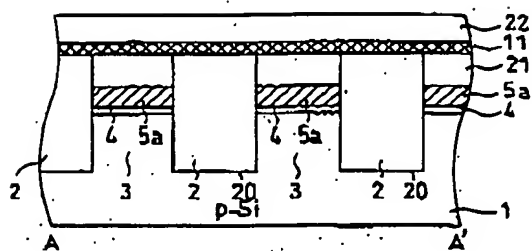


【図5C】

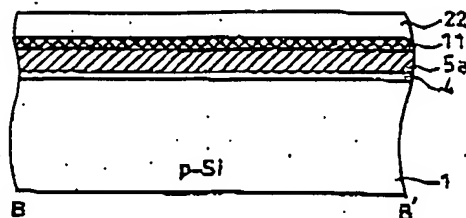


(12) 第2001-77333 (P2001-77333A)

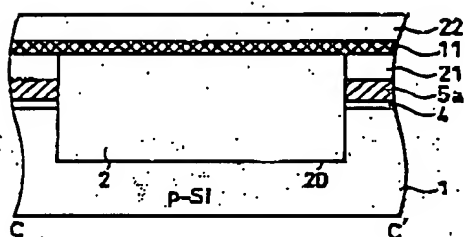
【図6A】



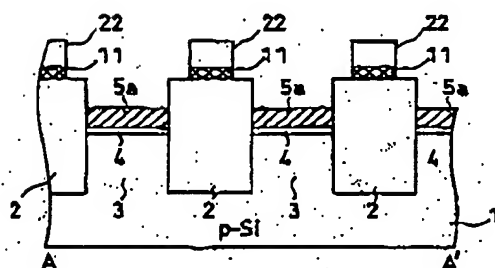
【図6B】



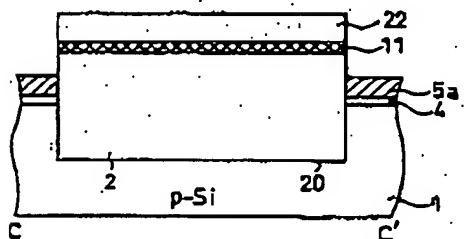
【図6C】



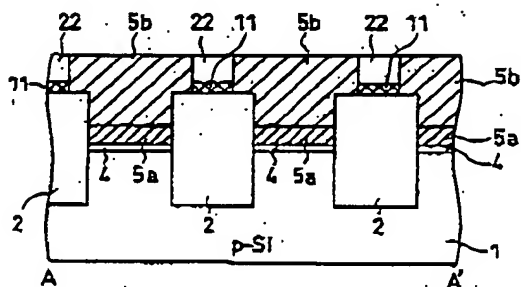
【図7A】



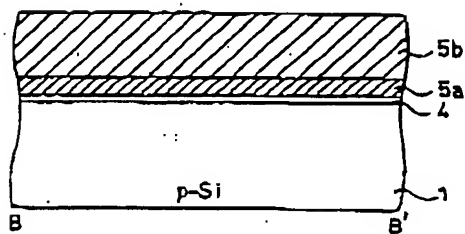
【図7C】



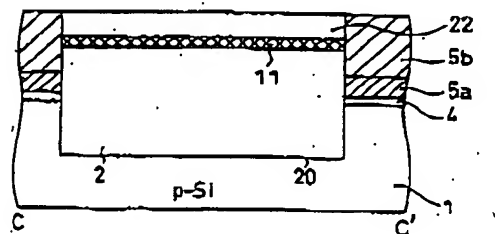
【図8A】



【図8B】

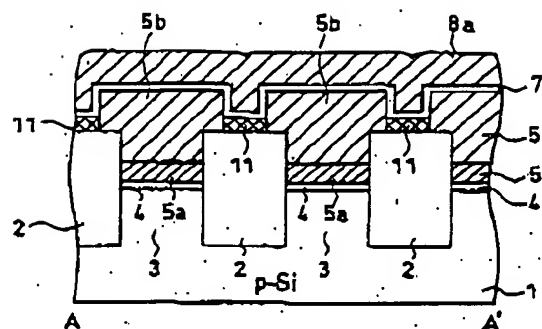


【図8C】

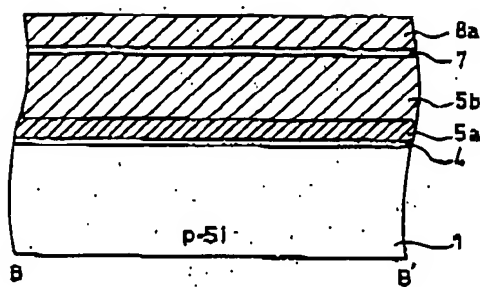


(13) 第2001-77333 (P2001-77333A)

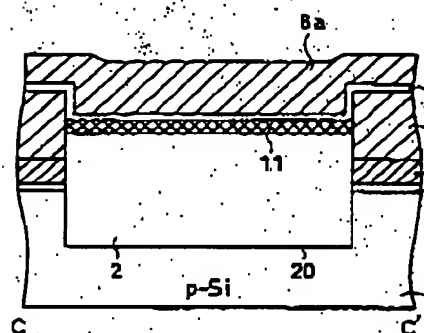
【図9A】



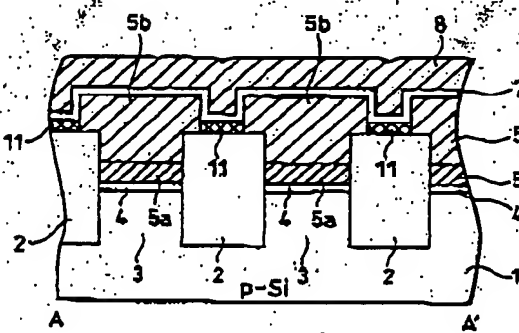
【図9B】



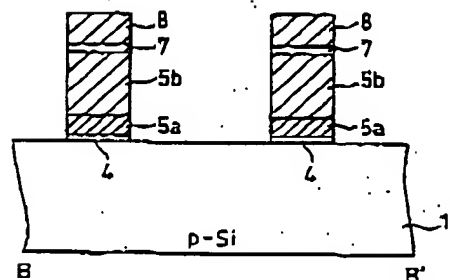
【図9C】



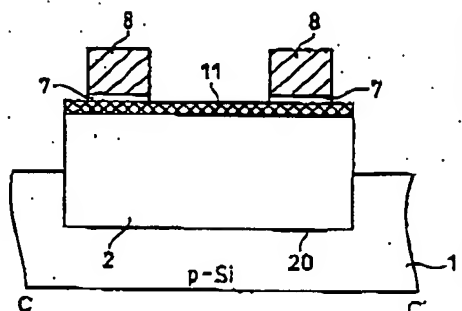
【図10A】



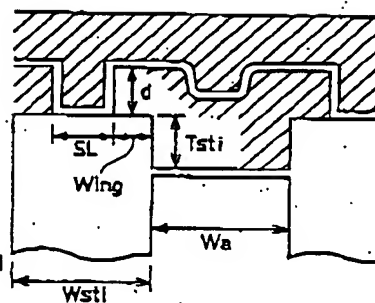
【図10B】



【図10C】

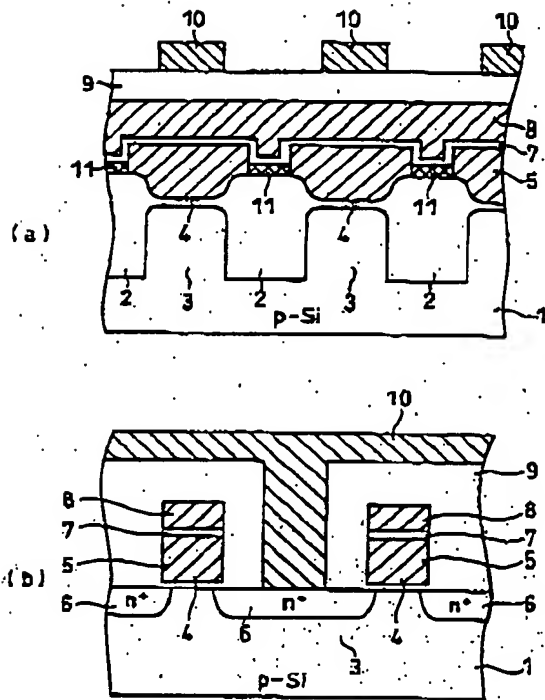


【図17】

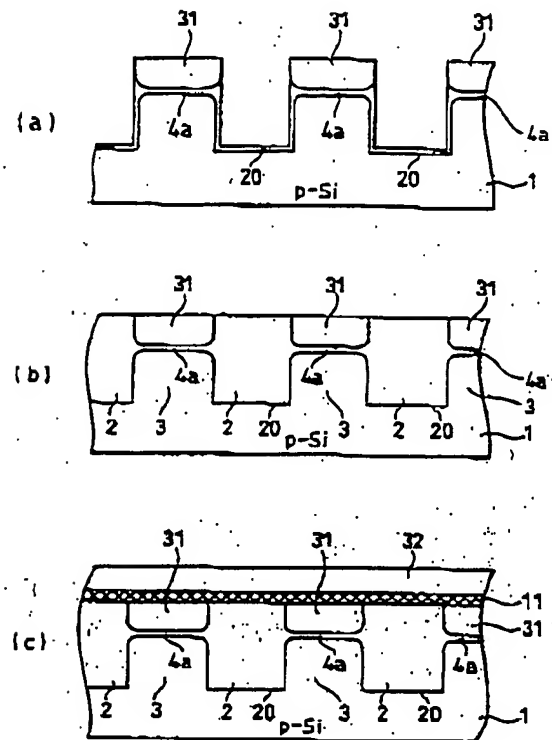


(14) 明2001-77333 (P2001-77333A)

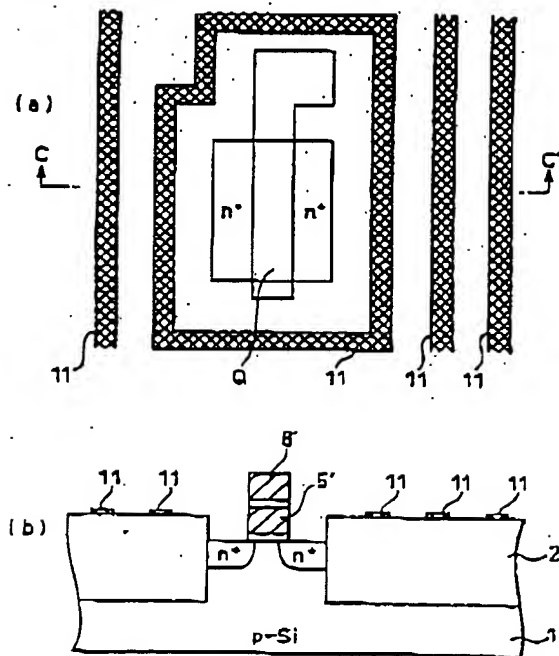
【図11】



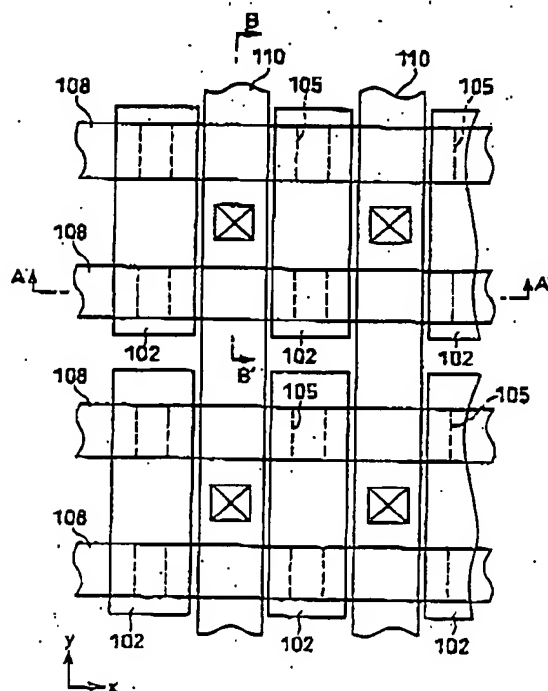
【図12】



【図14】

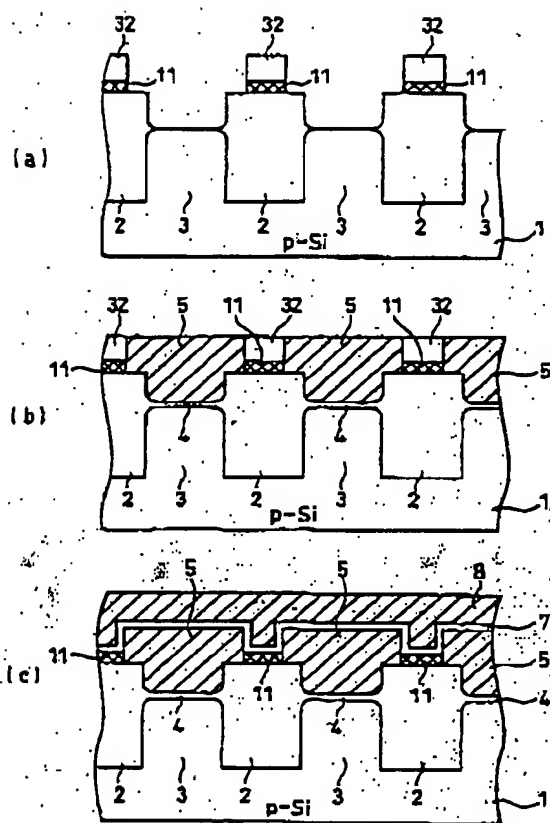


【図15】

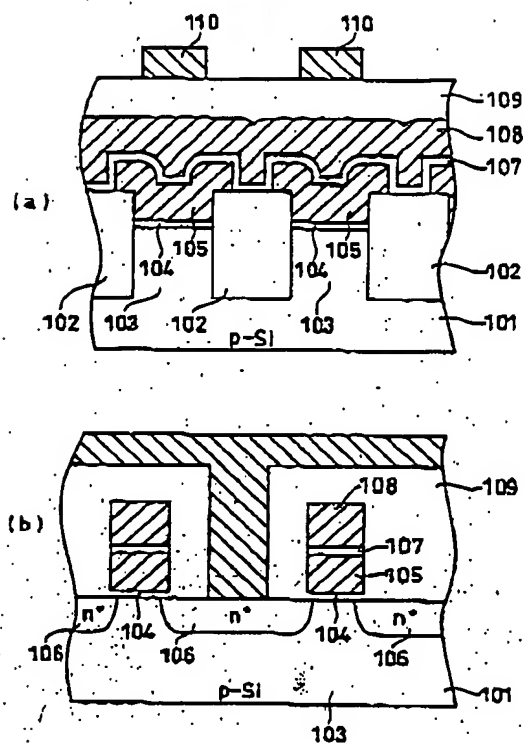


(15) 第2001-77333 (P2001-77333A)

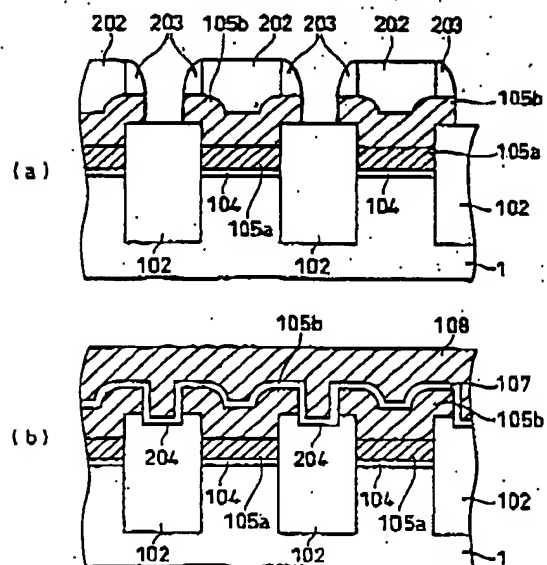
【図13】



【図16】

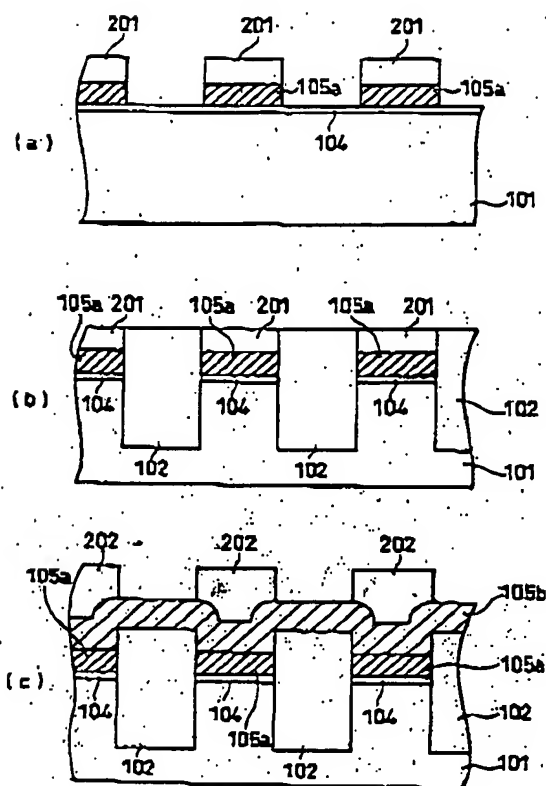


【図19】



(16) 第2001-77333 (P2001-77333A)

【図18】



フロントページの続き

Fターム(参考) 5F001 AA01 AB08 AB09 AD53 AD60
AG12 AG22 AG40
5F083 EP02 EP22 EP23 EP76 EP78
EP79 ER21 JAO4 KA05 NAO1
PR36 PR38 PR40

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.